

JP 01 / 595

CT/JP01/00505

30.01.01

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

EKU

REC'D 16 MAR 2001

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 1月31日

出 願 番 号

Application Number:

特願2000-022207

出 願 人

Applicant (s):

日本板硝子株式会社

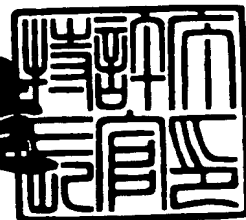
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3012012

【書類名】 特許願

【整理番号】 P00006

【提出日】 平成12年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 大塚 俊介

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 楠田 幸久

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 大野 誠治

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 有馬 尊久

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 斉藤 英昭

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 黒田 靖尚

【特許出願人】

【識別番号】 000004008

【氏名又は名称】 日本板硝子株式会社

【代理人】

【識別番号】 100086645

【弁理士】

【氏名又は名称】 岩佐 義幸

【電話番号】 03-3861-9711

【手数料の表示】

【予納台帳番号】 000435

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9113607

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光サイリスタアレイ

【特許請求の範囲】

【請求項1】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、

電氣的に短絡してはならない配線が交差する配線レイアウトが、2層配線構造により実現されていることを特徴とする発光サイリスタアレイ。

【請求項2】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのアノードまたはカソードをそれぞれ独立な n 本のアノード選択線またはカソード選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのゲートを共通の電極に接続している発光サイリスタアレイにおいて、

電氣的に短絡してはならない配線が交差する配線レイアウトが、2層配線構造により実現されていることを特徴とする発光サイリスタアレイ。

【請求項3】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、

電氣的に短絡してはならない配線が交差する配線レイアウトが、前記発光サイリスタのゲート電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項4】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのアノードまたはカソードをそれぞれ独立な n 本のアノード選択線またはカソード選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのゲートを共通の電極に接続している発光サイリスタアレイにおいて、

電氣的に短絡してはならない配線が交差する配線レイアウトが、前記発光サイリスタのアノード電極またはカソード電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項5】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記ゲート選択線と交差する配線レイアウトが、前記発光サイリスタと分離された電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項6】

前記発光サイリスタと分離された電極は、ゲート電極、アノード電極、またはカソード電極であることを特徴とする請求項5記載の発光サイリスタアレイ。

【請求項7】

前記クロスアンダー配線として、アノード電極またはカソード電極が用いられている場合には、前記アノード電極またはカソード電極が、ゲート電極と短絡されていることを特徴とする請求項6記載の発光サイリスタアレイ。

【請求項8】

基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個（ n は2以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の

n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記ゲート選択線と交差する配線レイアウトが、前記発光サイリスタの発光部の周囲に引き回されたゲート電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項 9】

基板を共通のカソードまたはアノードとする 3 端子発光サイリスタのアレイを n 個（ n は 2 以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記ゲート選択線と交差する配線レイアウトが、前記発光サイリスタの発光部の周囲に設けられた 2 個のゲート電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項 10】

基板を共通のカソードまたはアノードとする 3 端子発光サイリスタのアレイを n 個（ n は 2 以上の整数）の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのアノードまたはカソードをそれぞれ独立な n 本のアノード選択線またはカソード選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのゲートを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記アノード選択線またはカソード選択線と交差する配線レイアウトが、前記発光サイリスタと分離された電極をクロスアンダー配線として実現されていることを特徴

とする発光サイリスタアレイ。

【請求項 1 1】

前記発光サイリスタと分離された電極は、ゲート電極、アノード電極、またはカソード電極であることを特徴とする請求項 1 0 記載の発光サイリスタアレイ。

【請求項 1 2】

前記クロスアンダー配線として、アノード電極またはカソード電極が用いられている場合には、前記アノード電極またはカソード電極が、ゲート電極と短絡されていることを特徴とする請求項 1 1 記載の発光サイリスタアレイ。

【請求項 1 3】

基板を共通のカソードまたはアノードとする 3 端子発光サイリスタのアレイを n 個 (n は 2 以上の整数) の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのアノードまたはカソードをそれぞれ独立な n 本のアノード選択線またはカソード選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのゲートを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記アノード選択線またはカソード選択線と交差する配線レイアウトが、前記発光サイリスタの発光部の周囲に引き回されたゲート電極をクロスアンダー配線として実現されていることを特徴とする発光サイリスタアレイ。

【請求項 1 4】

基板を共通のカソードまたはアノードとする 3 端子発光サイリスタのアレイを n 個 (n は 2 以上の整数) の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのアノードまたはカソードをそれぞれ独立な n 本のアノード選択線またはカソード選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのゲートを共通の電極に接続している発光サイリスタアレイにおいて、

発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記ゲート選択線と交差する配線レイアウトが、前記発光サイリスタの発光部の周囲に設けられた 2 個のゲート電極をクロスアンダー配線として実現されていることを

特徴とする発光サイリスタアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光サイリスタアレイ、特に配線が交差する部分で電氣的に短絡しないようにした配線レイアウトを実現した発光サイリスタアレイに関する。

【0002】

【従来の技術】

光プリンタの書込みヘッドに用いられる発光素子アレイには、通常、発光ダイオード（LED）が用いられている。このようなLEDを用いた発光素子アレイでは、配列ピッチがワイヤボンディング法の限界ピッチにより決まり、500 dpi（ビット／インチ）が限界であり、LEDを高密度に配置して、発光素子アレイの解像度を高めることができなかった。

【0003】

このような問題を解決するため、本出願人は、pnpn構造の3端子発光サイリスタを用いた発光素子アレイを提案し、既に特許を得ている（特許第2807910号）。

【0004】

この特許に係る技術によれば、基板を共通のカソードとする3端子発光サイリスタのアレイを複数個の発光サイリスタ毎にブロック化し、各ブロック内のn個の発光サイリスタのゲートをそれぞれ独立なn本のゲート選択線と接続し、かつ各ブロック内のn個の発光サイリスタのアノードを共通の電極に接続している。このようにすることにより、発光のための信号を供給する電極の数を少なくすることができるので、発光素子の配列ピッチを小さくすることができる。

【0005】

図1は、上記特許明細書に開示されている発光サイリスタアレイの構造を示す図である。n型半導体基板1上に、n型半導体層24、p型半導体層23、n型半導体層22およびp型半導体層21よりなるpnpn構造の発光サイリスタT(1)、T(2)、T(3)…が形成され、2個（n=2）の発光サイリスタ毎

にグループ化され、各グループの発光サイリスタのゲート電極 g は、ゲート選択線 $G1$ 、 $G2$ にそれぞれ接続され、各グループの発光サイリスタのアノード電極 a は、共通電極 $A1$ 、 $A2$ 、 $A3$ … に接続されている。

【0006】

図2は、図1の発光サイリスタアレイの斜視図である。ゲート電極 g からの配線がゲート選択線 $G1$ 、 $G2$ と交差 (cross) することが理解されるであろう。

【0007】

図3は、発光サイリスタアレイの平面図であり、ボンディングパッド (BP) を発光サイリスタアレイの両側に配置した例である。図において、 $B1$ 、 $B2$ 、 $B3$ … は、発光サイリスタを2個毎に分けたブロックを示している。図4および図5は、ボンディングパッドを発光サイリスタアレイの片側に配置した例であり、図4はボンディングパッドをゲート選択線とは反対側に配置し、図5はボンディングパッドをゲート選択線側に配置した例である。

【0008】

図3～図5で明らかなように、ボンディングパッドの配置にかかわらず、配線が交差する配線レイアウトが必ず生じることがわかる。

【0009】

【発明が解決しようとする課題】

配線が交差する部分では、配線同士が電氣的に接続されてはならない。したがって、本発明の目的は、上述した従来の発光サイリスタアレイにおいて、電氣的に接続されずに配線を交差させる構造を提供することにある。

【0010】

【課題を解決するための手段】

本発明の第1の態様によれば、基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイを n 個 (n は2以上の整数) の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて

、電氣的に短絡してはならない配線が交差する配線レイアウトを、2層配線構造により実現している。

【0011】

本発明の第2の態様によれば、基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイをn個の発光サイリスタ毎にブロック化し、各ブロック内のn個の発光サイリスタのゲートをそれぞれ独立なn本のゲート選択線と接続し、かつ各ブロック内のn個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、電氣的に短絡してはならない配線が交差する配線レイアウトを、前記発光サイリスタのゲート電極をクロスアンダー配線として実現している。

【0012】

本発明の第3の態様によれば、基板を共通のカソードまたはアノードとする3端子発光サイリスタのアレイをn個の発光サイリスタ毎にブロック化し、各ブロック内のn個の発光サイリスタのゲートをそれぞれ独立なn本のゲート選択線と接続し、かつ各ブロック内のn個の発光サイリスタのアノードまたはカソードを共通の電極に接続している発光サイリスタアレイにおいて、発光サイリスタの配列方向に平行に、かつ、発光サイリスタの片側にボンディングパッドが配列されている場合に、前記ボンディングパッドへの接続が前記ゲート選択線と交差する配線レイアウトを、前記発光サイリスタと分離された電極をクロスアンダー配線として、または前記発光サイリスタの発光部の周囲に引き回されたゲート電極をクロスアンダー配線として、または前記発光サイリスタの発光部の周囲に設けられた2個のゲート電極をクロスアンダー配線として実現している。

【0013】

なお、以上の3つの態様は、アノードまたはカソードを選択線とした発光サイリスタアレイについても適用できる。

【0014】

【発明の実施の形態】

以下、本発明の実施例を図面を参照して説明する。

【0015】

【実施例 1】

電氣的に接続されずに配線を交差させるために 2 層配線構造を形成した。図 6 に、2 層配線構造を示す。基板 1 上に下地絶縁膜 2 が設けられ、下地絶縁膜 2 上に A 1 よりなる第 1 層目配線 3、第 2 層目配線 5 が形成される。第 1 層目配線 3 と第 2 層目配線 5 との間には、層間絶縁膜 4 が設けられ、第 2 層目配線 5 は、保護絶縁膜 6 で被覆される。

【0016】

このような 2 層配線構造は、次のようにして作製される。まず、 SiO_2 下地絶縁膜 2 を基板 1 の全面に形成する。次に、交差のない A 1 配線と交差のある一方の A 1 配線 3 を形成する。次に、 SiO_2 層間絶縁膜 4 を素子全面に形成する。次に、交差のある他方の A 1 配線 5 を形成する。最後に、保護絶縁膜 6 を形成する。なお、配線形成前には下地絶縁膜 2 を通して、配線形成以前に形成された電極および配線と電氣的に接触させる必要のある部分には、あらかじめ絶縁膜 4 にコンタクトホールを形成する。

【0017】

【実施例 2】

本実施例では、交差配線レイアウトを実現させるための手段として、単一発光サイリスタを作製する際に形成する電極をクロスアンダー配線として利用する。図 7 に、本実施例の構造を表す平面図を示す。

【0018】

電氣的に接続せずに配線を交差させるための構造として、サイリスタのゲート電極部を張り出して、ゲート電極部をクロスアンダーとして採用した。すなわち、ゲート電極をゲート選択線 G 1、G 2 の配線方向に引き伸ばし、A 1 よりなるゲート選択線と接続する必要があるゲート電極上の配線交差部はコンタクトホール 10 を介してゲート選択線に接続させる。ゲート選択線と接続する必要のないゲート電極上の配線交差部にはコンタクトホールを作製しない。

【0019】

このような構造を具備するサイリスタアレイの作製は、次のようにして作製される。まず、半導体基板上に 4 層の p n p n 半導体層を積層する。次に、アノー

ド電極を作製し、最上層のp型半導体層をエッチングしてゲート層を露出させ、露出したゲート層上にゲート電極を作製する。次に、素子分離のためのエッチングを行い、メサ構造にし、絶縁膜を成膜する。次に、コンタクトホールを作製し、ゲート選択線をゲート電極上を通るように作製する。最後に、裏面にカソード電極を作製する。

【0020】

このプロセスフローは、単一のサイリスタ作製プロセスと同一であり、サイリスタアレイ特有の交差配線レイアウトを実現するための新たなプロセスを必要としない。

【0021】

このように、クロスアンダー配線として、発光サイリスタのゲート電極を利用しているので、単一発光サイリスタの作製プロセスと全く同一の作製プロセスで、交差配線レイアウトを具備する発光サイリスタアレイが実現できる。

【0022】

本実施例では、実施例1と比較して、作製プロセスの増加が必須である2層配線構造を採用する必要がなくなるため、安価な発光サイリスタアレイを作製できる。また、2層配線構造で必要とした配線形成領域が不要になるため、アレイに必要な面積が小さくなる。すなわち発光サイリスタアレイのウェハ当たりの取得数が増加するため、製造コスト低減が実現できる。

【0023】

【実施例3】

本実施例は、特に、図5で説明した、全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイに適用される。このように全てのボンディングパッドを発光素子アレイの片側に配置する理由は、発光サイリスタアレイチップの占有面積を小さくし、チップ当たりの製造コストの低減化を実現するためである。

【0024】

本実施例は、このような構造の発光サイリスタアレイにおいて、ゲート選択線をボンディングパッドへ接続する場合に、単体の発光サイリスタ形成プロセスと

同一プロセスで、電氣的に短絡せずに配線を交差させる構造を実現するものである。

【0025】

図8および図9は、その一例を示す図である。なお、図8は平面図、図9は、図8のx-y線断面図である。

【0026】

発光サイリスタT(4)とT(5)との間に素子分離されたゲート島30を形成し、このゲート島のゲート層上にゲート電極32を形成する。この際、ゲート電極はボンディングパッド側へ引き出したいゲート選択線G2と交差するようにして、コンタクトホール34により電氣的に接合する。ボンディングパッド側は交差配線レイアウトの発生しない部分でA1配線36と電氣的に接合する。このようにすることで、発光サイリスタと分離されたゲート電極をクロスアンダー配線とした交差配線レイアウトが実現できる。

【0027】

以上は、G2ボンディングパッドへの配線について説明したが、G1ボンディングパッドへの配線も同様な構造とする。図8では、発光サイリスタT(2)とT(3)との間に、ゲート島を構成し、ゲート電極を設けている。

【0028】

以上のような構造の発光サイリスタアレイは、次のようにして作製される。まず、半導体基板上に4層のpnpn半導体層を積層する。次に、アノード電極を作製し、最上層のp型半導体層をエッチングしてゲート層を露出させ、露出したゲート層上にゲート電極を作製する。次に、エッチングを行い、メサ構造の発光サイリスタおよびゲート島を形成し、絶縁膜を成膜する。次に、コンタクトホールを作製し、ゲート選択線を作製する。最後に、裏面にカソード電極を作製する。

【0029】

このプロセスフローは、単一のサイリスタ作製プロセスと同一であり、サイリスタアレイ特有の交差配線レイアウトを実現するための新たなプロセスを必要としない。

【0030】

以上の構造では、ゲート層上にゲート電極を形成したが、素子分離された部分にゲート電極が形成されていればよい。例えば基板最表面のアノード層上にゲート電極を形成することや、分離溝の底にゲート電極を形成することも可能である。

【0031】

また、以上の構造では、ゲート電極をクロスアンダーとして使用したが、アノード層上のアノード電極を使用することも可能である。この場合も、ゲート電極と同様に、素子分離された部分にアノード電極が形成されていればよい。

【0032】

アノード層上にアノード電極を形成した場合のクロスアンダー配線は、配線下にサイリスタが寄生する。この寄生サイリスタの発生を防止するために、図10に示したように、アノード電極40とゲート電極42を短絡させる構造とすることも可能である。

【0033】

以上の構造では、クロスアンダー配線を、発光サイリスタT(2)とT(3)の間、およびT(4)とT(5)との間とに形成したが、任意のT(n)とT(n+1)の間に形成することが可能である。

【0034】

また、以上の構造では、ボンディングパッドを発光部に対してG1およびG2の選択線と反対側に配置したが、G1およびG2の選択線側への配置は、ボンディングパッドA1、A2、A3…への配線を、上述したクロスアンダー配線で、G1およびG2の選択線の外側へ引き出すことで実現可能である。

【0035】

本実施例によれば、全てのボンディングパッドを発光サイリスタアレイの片側に容易に配置することが可能となる。これにより発光サイリスタアレイチップの占有面積を小さくすることができ、チップ当たりの製造コストの低減化が実現できる。全てのボンディングパッドを発光サイリスタアレイの片側に容易に配置する際に発生する交差配線レイアウトを単体の発光サイリスタ形成プロセスと同一

プロセスで実現できるため、2層配線構造で必要としたプロセスが不要となり製造コストが低減できる。

【0036】

【実施例4】

実施例3と同様に、全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイに適用される他の構造の実施例である。

【0037】

図11に、その平面図を示す。この構造では、サイリスタのゲート電極をアノード島の周囲に形成することで、アノード島を中心にG1およびG2選択線側から相対する部分までゲート電極を引き伸ばす。G1およびG2の選択線は対応するゲート電極と接続されている。G1およびG2のボンディングパッドとの接続は、アノード島を引き回したゲート電極に接続することで実現できる。

【0038】

この構造例では、ゲート電極の引き回しをアノード島の片側を通した「コ」の字形状としたが、アノード島の両側を通した「ロ」の字形状とすることも可能である。

【0039】

【実施例5】

実施例3、4と同様に、全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイに適用されるさらに他の構造の実施例である。

【0040】

図12に、その平面図を示す。この構造では、サイリスタのゲート電極を、アノード島を中心として、ボンディングパッド側とG1およびG2選択線側とに对称に形成する。これら2つのゲート電極は、ゲート層を通じて電氣的に接続されている。

【0041】

図12において、ゲート電極50はG1用のボンディングパッドに接続され、ゲート電極52はG1の選択線に接続されている。G2についてもG1と同様に接続する。以上の構造によりG1およびG2用のボンディングパッドからの信号

をゲート層を通してG 1 およびG 2 の選択線に伝えることができる。

【0 0 4 2】

この構造では、発光サイリスタの配列方向にゲート島を広げないことで、高精度発光素子アレイを容易に作製することが可能である。

【0 0 4 3】

【実施例 6】

実施例 1 ～ 5 では、図 1 および図 2 の発光サイリスタアレイについて適用できる構造について説明したが、アノードまたはカソードを選択線とした発光サイリスタアレイについても適用できる。アノードを選択線とする発光サイリスタアレイを、図 1 3 に示す。

【0 0 4 4】

2 個の発光サイリスタ毎にグループ化され、各グループの発光サイリスタのアノード電極は、アノード選択線 A 1, A 2 にそれぞれ接続され、各グループの発光サイリスタのゲート電極は、共通電極 G 1, G 2, G 3 … に接続されている。

【0 0 4 5】

なお、この構成の発光サイリスタアレイには、前述した実施例 1 ～ 4 の構造を適用できることは明らかである。

【0 0 4 6】

【発明の効果】

本発明によれば、発光サイリスタを n 個毎にブロック化し、各ブロック毎にゲート選択線を共通にし、かつ、各ブロック毎にアノードまたはカソードを共通の電極に接続したタイプの発光サイリスタアレイにおいて、電氣的に接続せずに配線を交差させる構造を実現することができた。

【図面の簡単な説明】

【図 1】

従来の発光サイリスタアレイの構造を示す図である。

【図 2】

図 1 の発光サイリスタアレイの斜視図である。

【図 3】

発光サイリスタアレイの平面図であり、ボンディングパッドを発光サイリスタアレイの両側に配置した例を示す図である。

【図 4】

ボンディングパッドをゲート選択線とは反対側に配置した発光サイリスタアレイを示す図である。

【図 5】

ボンディングパッドをゲート選択線側に配置した発光サイリスタを示す図である。

【図 6】

2 層配線構造を示す図である。

【図 7】

電極をクロスアンダー配線として利用する構造を示す図である。

【図 8】

全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイの配線レイアウトを示す図である。

【図 9】

図 8 の x - y 線断面図である。

【図 1 0】

アノード電極とゲート電極とを短絡させた構造を示す図である。

【図 1 1】

全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイの配線レイアウトを示す図である。

【図 1 2】

全てのボンディングパッドをアレイの片側に配置した発光サイリスタアレイの配線レイアウトを示す図である。

【図 1 3】

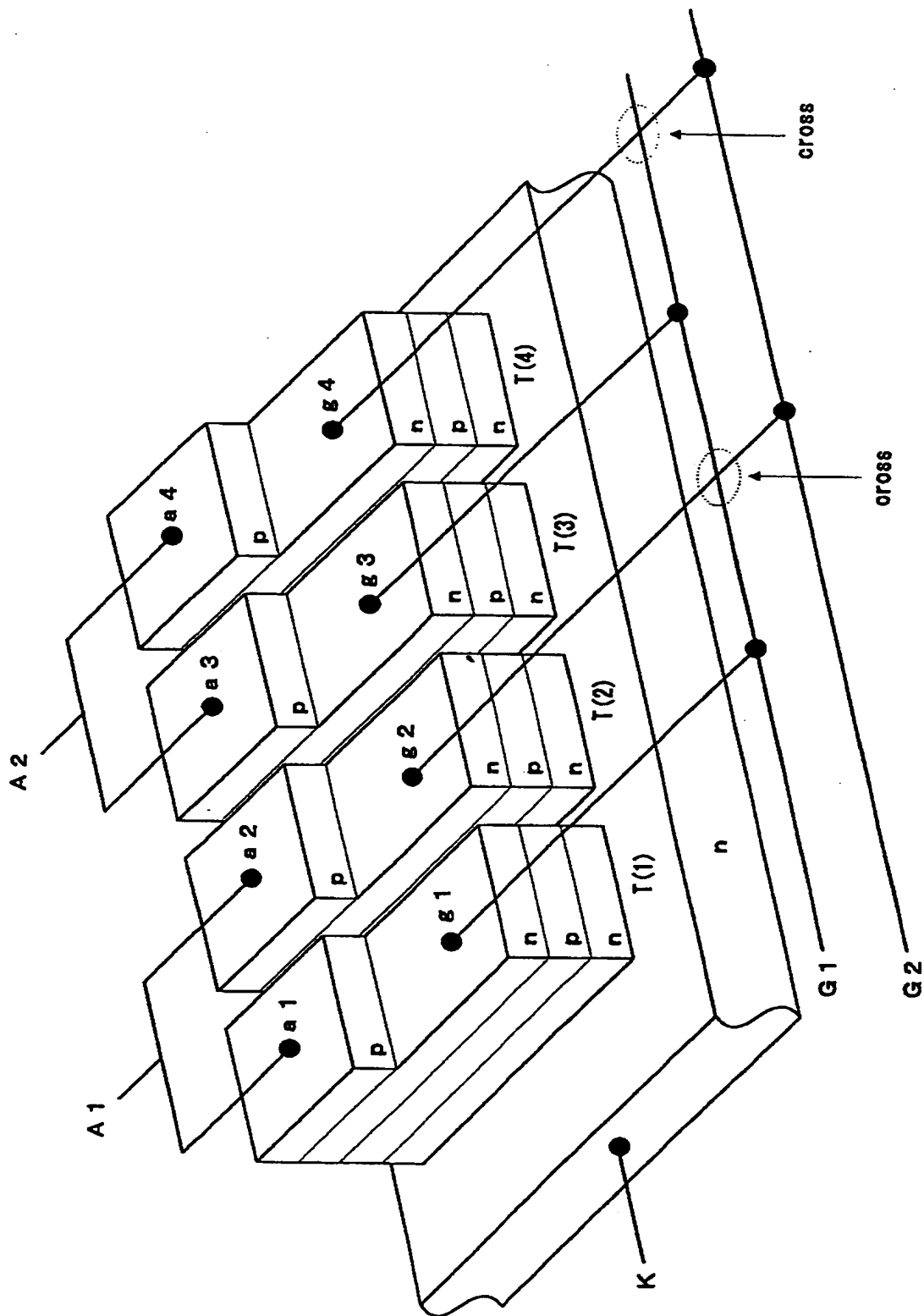
アノードを選択線とする発光サイリスタを示す図である。

【符号の説明】

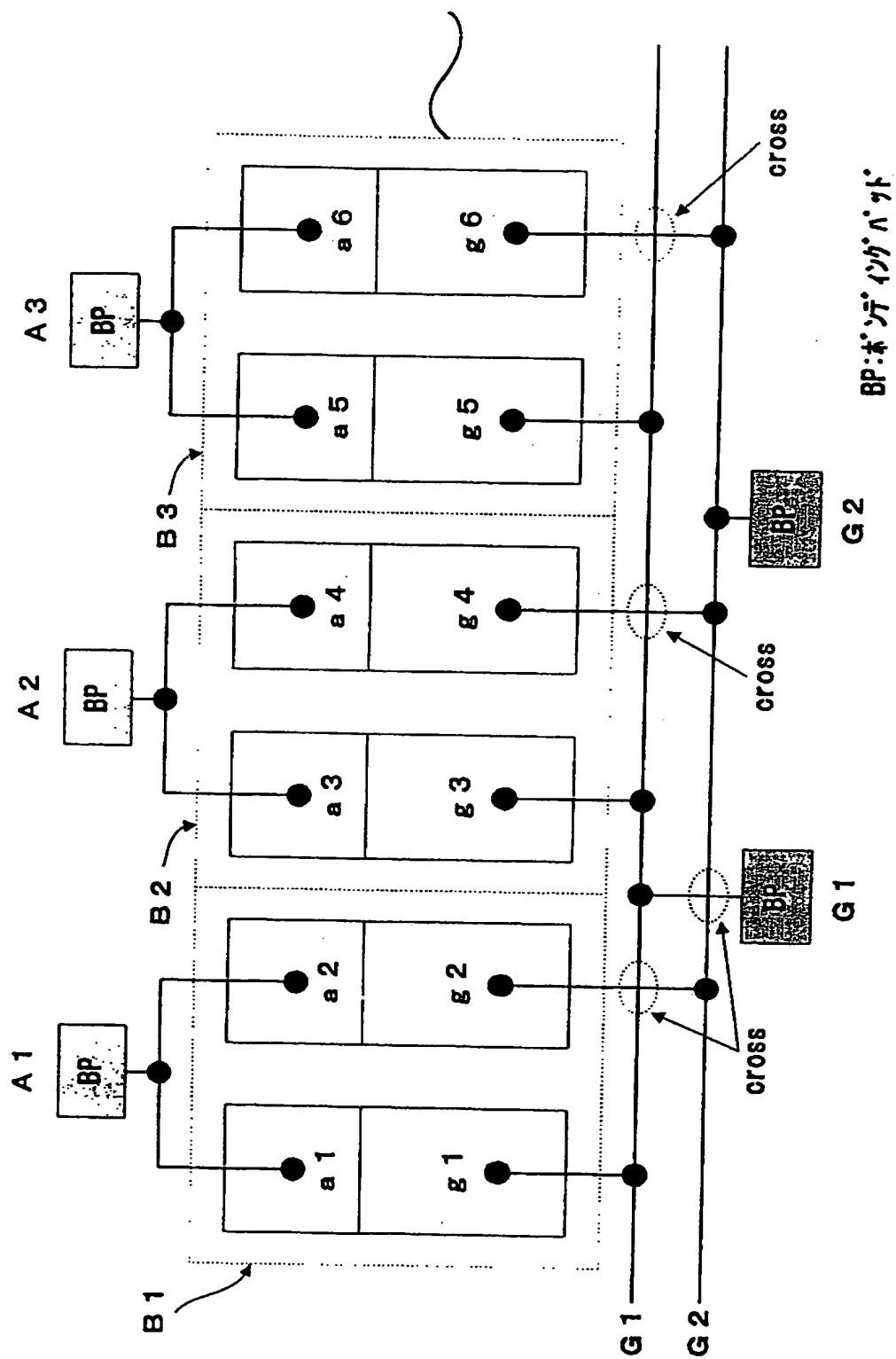
- 1 n 型半導体基板

- 2 下地絶縁膜
- 3 第 1 層目配線
- 4 層間絶縁膜
- 5 第 2 層目配線
- 6 保護絶縁膜
- 2 1 p 型半導体層
- 2 2 n 型半導体層
- 2 3 p 型半導体層
- 2 4 n 型半導体層
- 3 0 ゲート島
- 3 2 ゲート電極
- 3 4 コンタクトホール
- 3 6 A 1 配線
- 4 0 アノード電極
- 4 2, 5 0, 5 2 ゲート電極

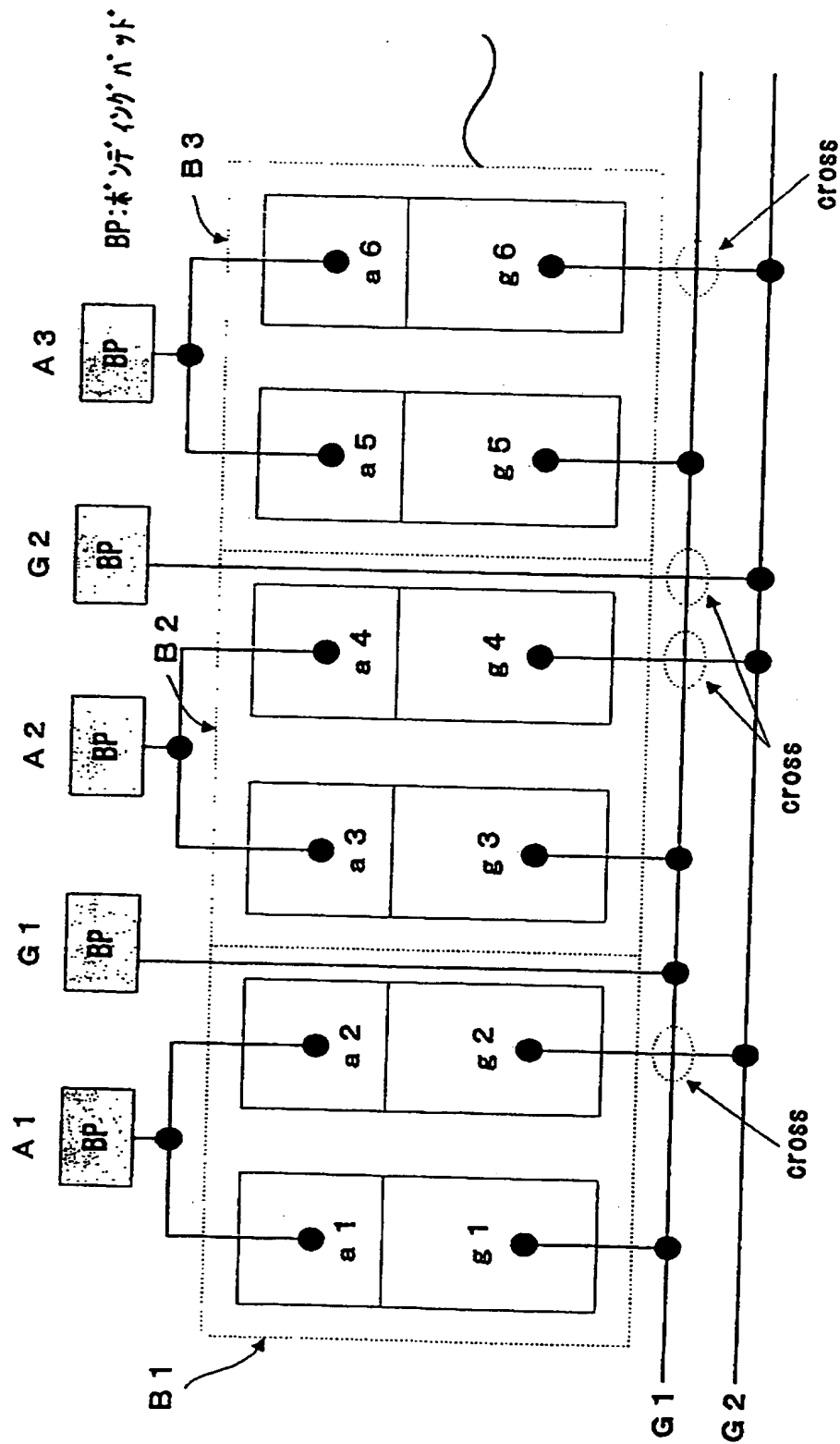
【図2】



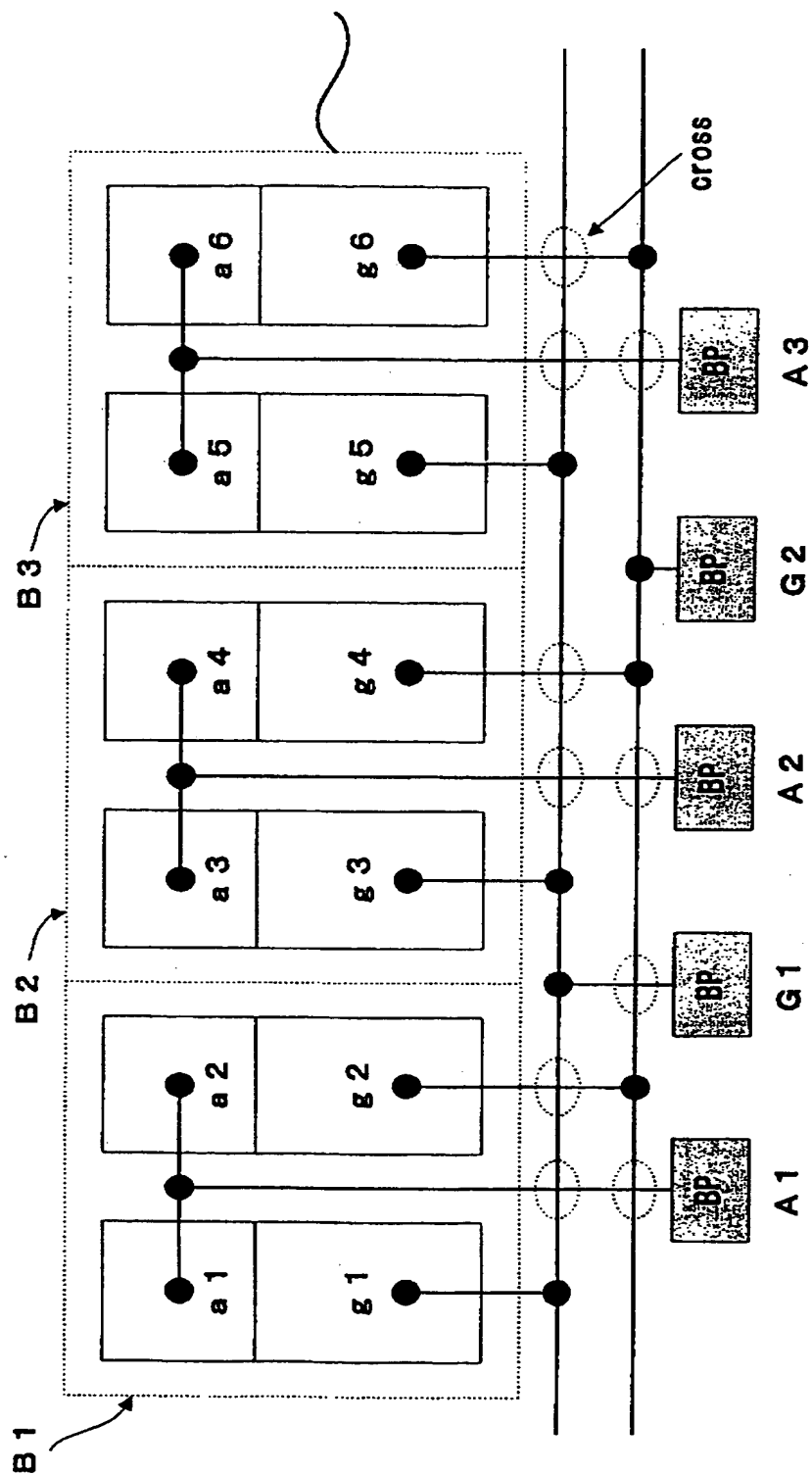
【図3】



【図4】

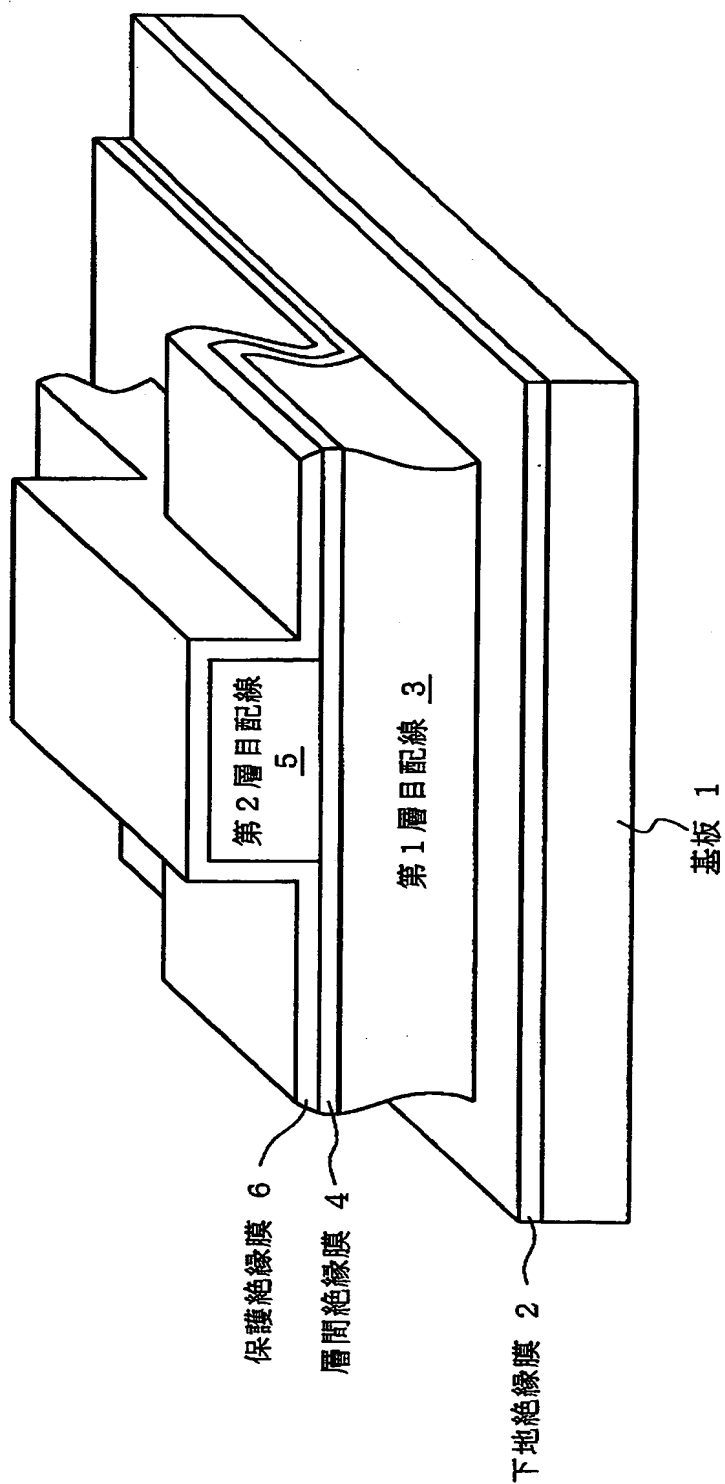


【図 5】

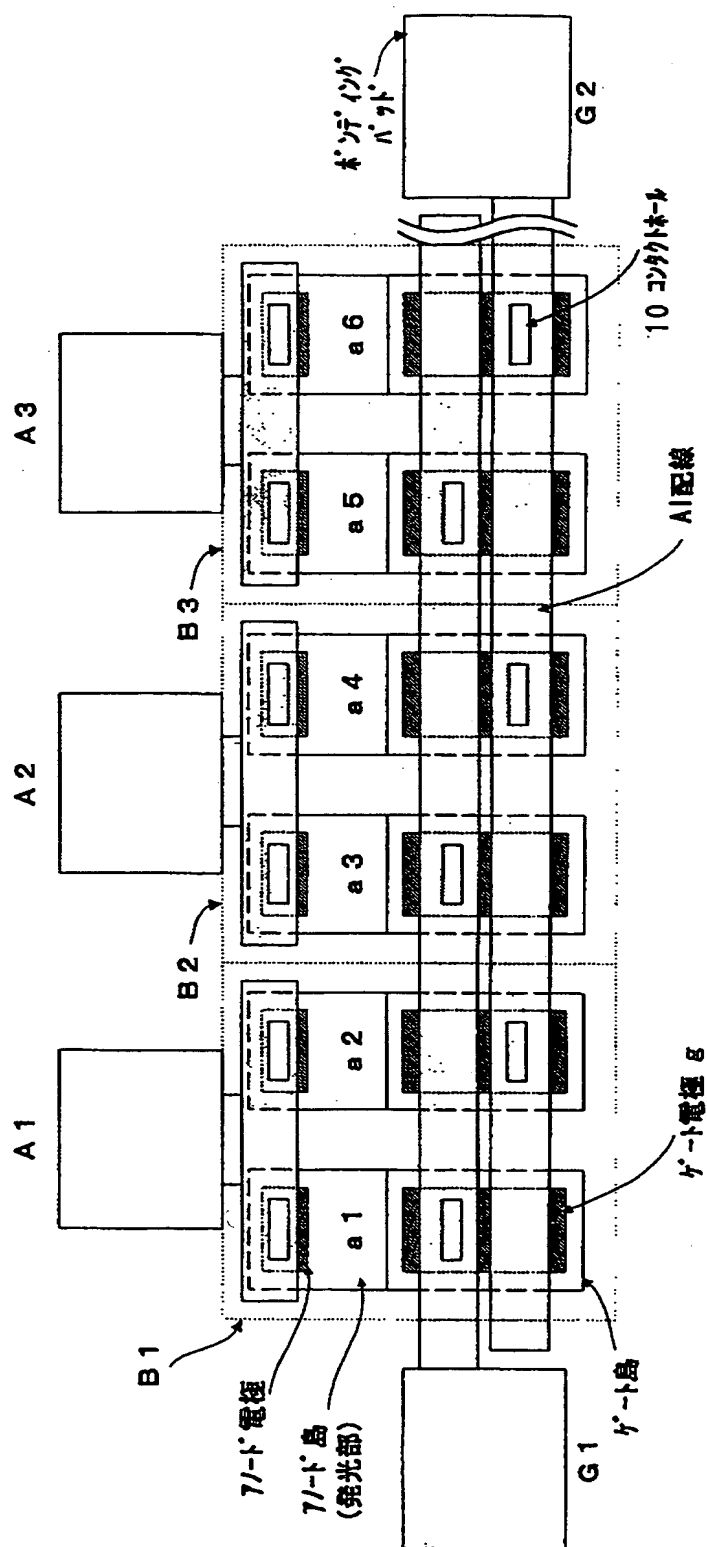


BP:本装置の光束

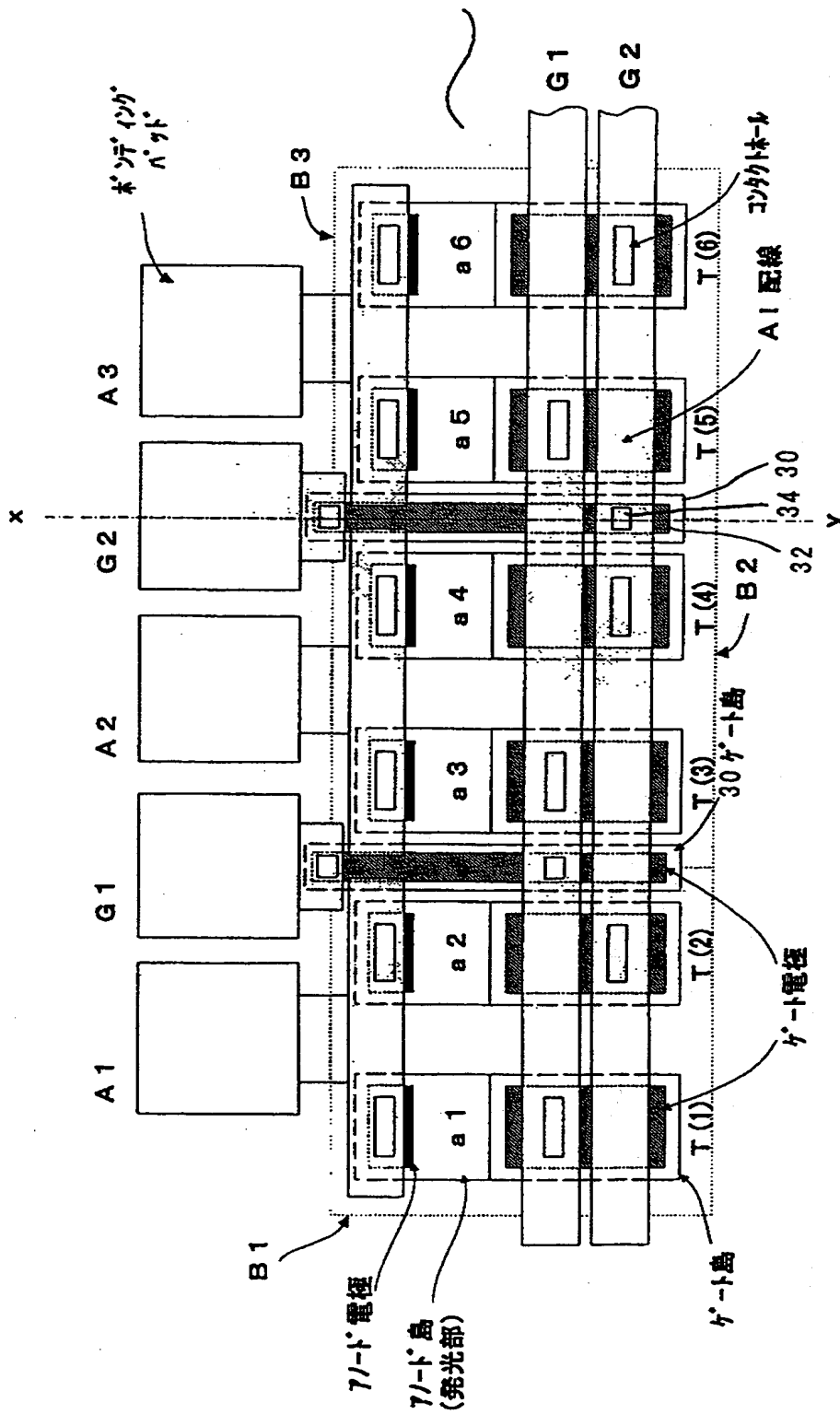
【図6】



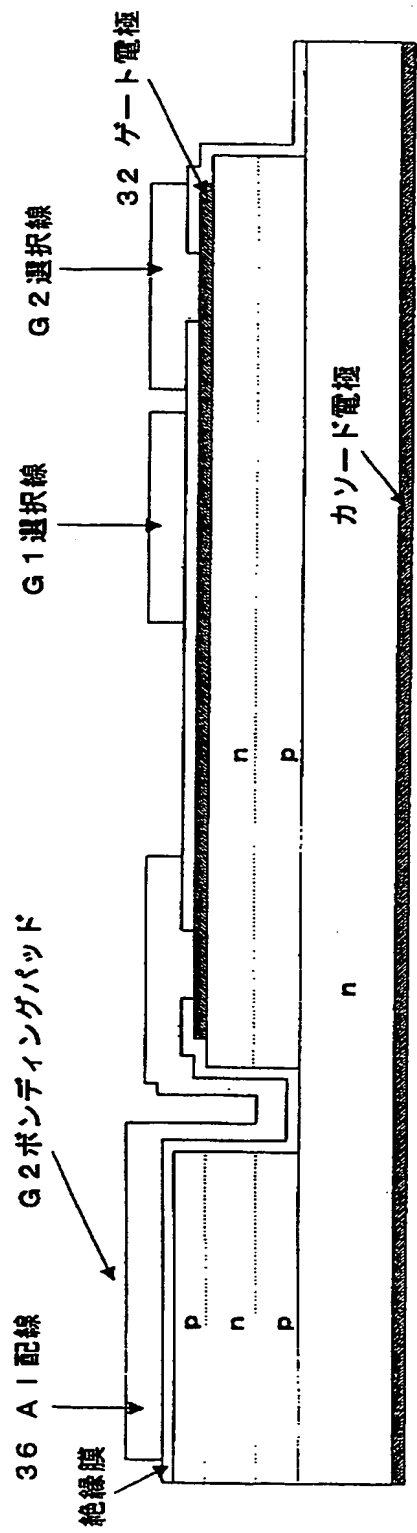
【图 7】



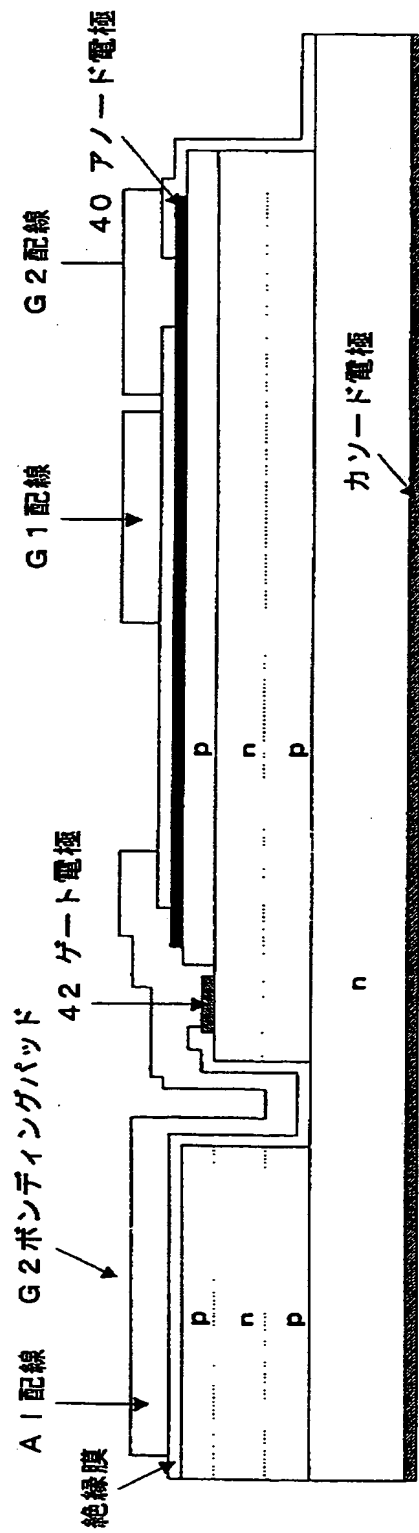
【図8】



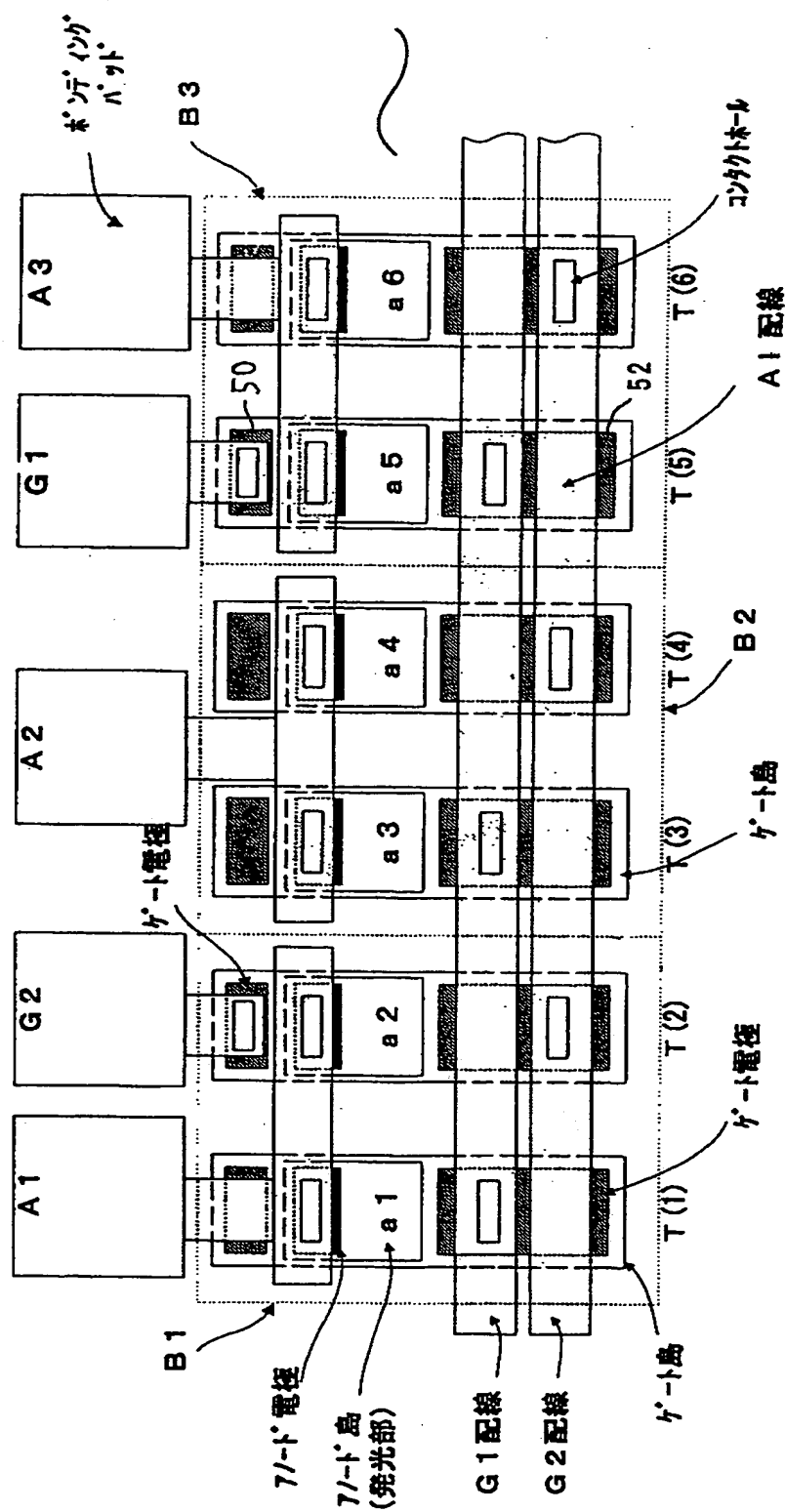
【图9】



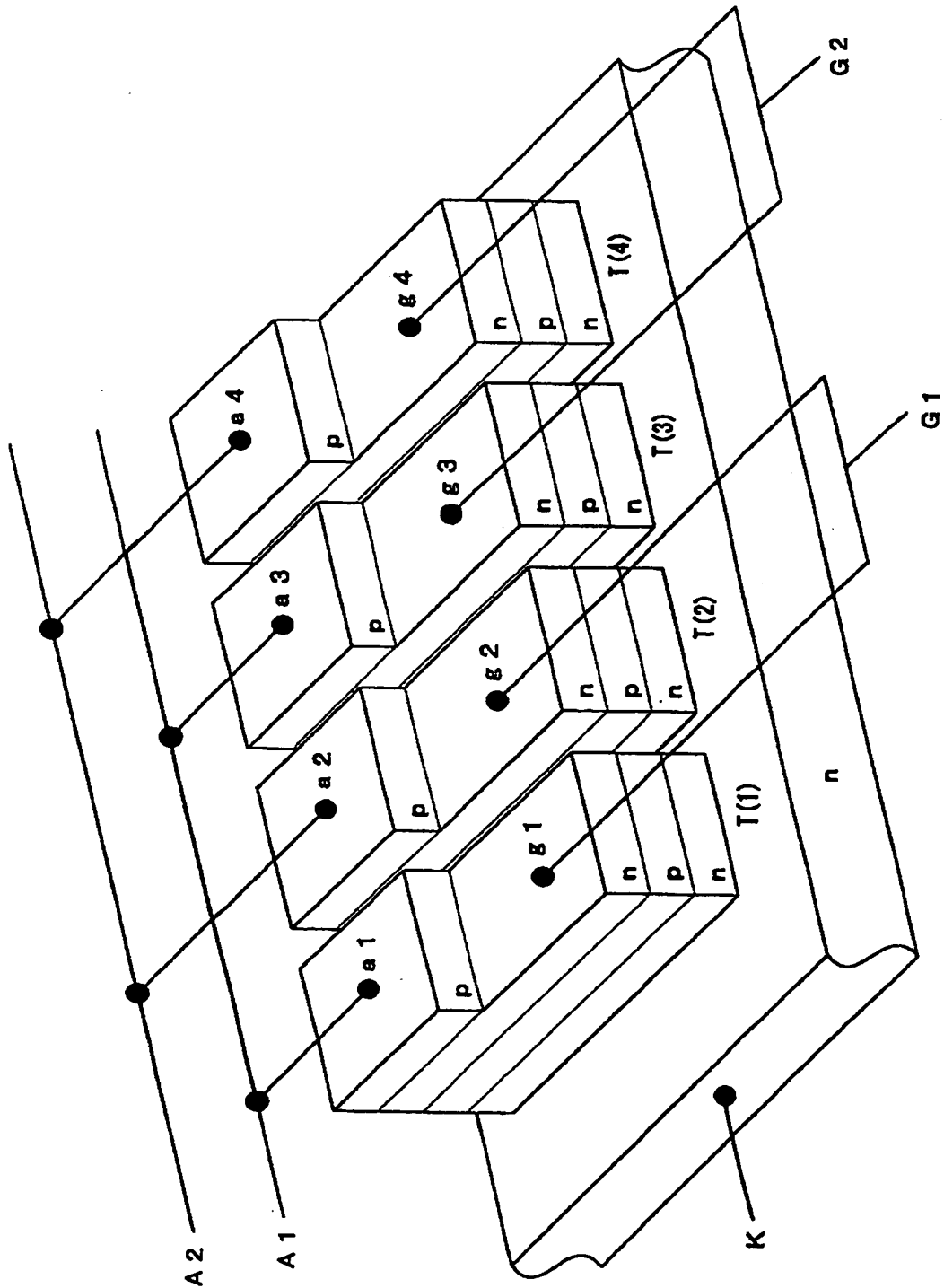
【図 10】



【図12】



【図 13】



【書類名】 要約書

【要約】

【課題】 基板を共通のカソードとする 3 端子発光サイリスタのアレイを n 個 (n は 2 以上の整数) の発光サイリスタ毎にブロック化し、各ブロック内の n 個の発光サイリスタのゲートをそれぞれ独立な n 本のゲート選択線と接続し、かつ各ブロック内の n 個の発光サイリスタのアノードを共通の電極に接続している発光サイリスタアレイにおいて、電氣的に接続されずに配線を交差させる構造を提供する。

【解決手段】 電氣的に接続されずに配線を交差させるために 2 層配線構造を形成する。基板 1 上に下地絶縁膜 2 が設けられ、下地絶縁膜 2 上に A 1 よりなる第 1 層目配線 3、第 2 層目配線 5 が形成される。第 1 層目配線 3 と第 2 層目配線 5 との間には、層間絶縁膜 4 が設けられ、第 2 層目配線 5 は、保護絶縁膜 6 で被覆される。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000004008]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 大阪府大阪市中央区道修町3丁目5番11号
氏 名 日本板硝子株式会社
2. 変更年月日 2000年12月14日
[変更理由] 住所変更
住 所 大阪府大阪市中央区北浜四丁目7番28号
氏 名 日本板硝子株式会社

THIS PAGE BLANK (USPTO)